

9.8 Digitaltechnik

9.8.1 Signalarten der Digital- und Steuerungstechnik

In der Digitaltechnik unterscheidet man analoge¹, binäre² und digitale³ Signale (**Tabelle 1**).

Analoge Signale ändern ihren Wert mit der verursachenden Größe. Die Ausgangsspannung eines als Spannungsteiler geschalteten Potenziometers ändert sich analog mit der Stellung des Schleifers, z. B. mit dem Drehwinkel des Potenziometers.

Analoge Signale können in einem vorgegebenen Wertebereich, z. B. 0 V ... 5 V, jeden Zwischenwert, z. B. 2,55 V, annehmen. Sie sind stetig veränderbar.

Binäre Signale haben nur zwei mögliche Zustände. Eine Leuchte kann z. B. an Spannung liegen oder spannungsfrei sein.

Binäre Signale können nur zwei Signalzustände, 0 oder 1, annehmen.

Duales Zahlensystem: Seite 240

Digitale Signale ändern ihre Größe sprunghaft und mit gleichem Wertzuwachs. Das digitale Signal eines stufigen Spannungsteilers kann sich z. B. in vier gleichen Schritten vom Wert 0 V bis zum Wert der Betriebsspannung ändern (**Tabelle 1**).

Digitale Signale haben mehrere, abzählbare Zustände. Sie sind stufig veränderbar.

9.8.2 Grundverknüpfungen

Alle Steuerungsaufgaben lassen sich mit den drei Grundverknüpfungen UND, ODER und NICHT lösen (**Tabelle 2**).

9.8.2.1 UND-Verknüpfung

Die UND-Verknüpfung (**Konjunktion**⁴) hat am Ausgang nur dann den Wert 1, wenn alle Eingangssignale gleichzeitig den Wert 1 haben (**Tabelle 3**). Ein typischer Anwendungsfall für eine UND-Verknüpfung ist die Zweihandbedienung, z. B. bei Pressen. Die Presse lässt sich mit dieser Schaltung (UND-Verknüpfung) nur in Betrieb setzen, wenn die beiden getrennt angeordneten Sicherheitstaster gleichzeitig betätigt werden. Diese Schaltung dient der Unfallverhütung.

Datenblätter HCMOS-ICs
www.datasheetcatalog.net

¹ analog (griech.) = entsprechend
² binär = aus zwei Werten bestehend
³ digital = ziffernmäßig, von digitus (lat.) = Finger, mit dem gezählt wird
⁴ Konjunktion, von conjunction (engl.) = Verbindung

Tabelle 1: Signalarten

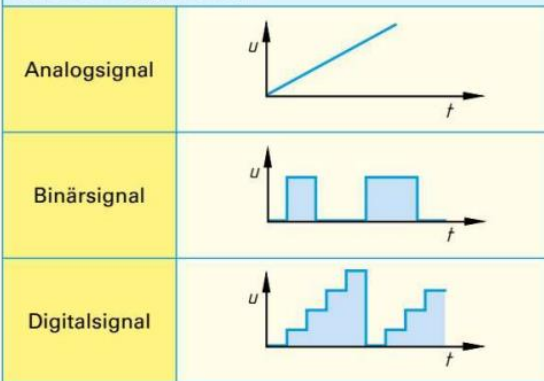
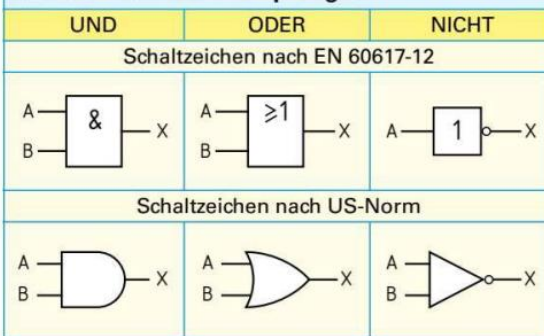


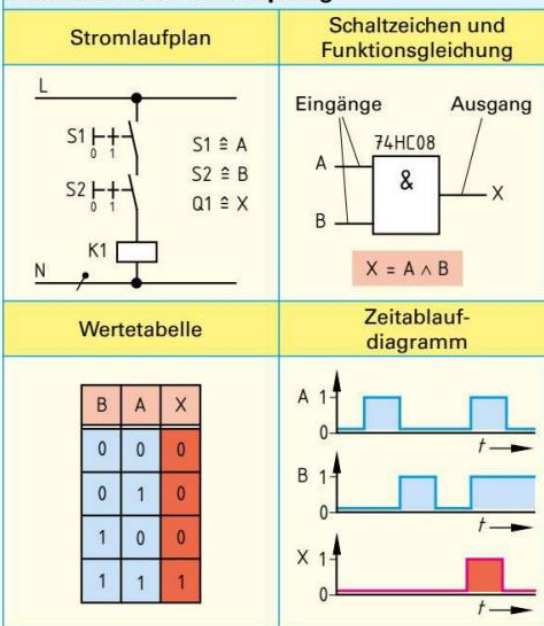
Tabelle 2: Grundverknüpfungen



Wichtige ICs der Digitaltechnik

- 74HC00: 4 NAND mit 2 Eingängen
- 74HC02: 4 NOR mit 2 Eingängen
- 74HC08: 4 UND mit 2 Eingängen
- 74HC32: 4 ODER mit 2 Eingängen
- 74HC04: 6 Nicht-Verknüpfungen (Inverter)

Tabelle 3: UND-Verknüpfung



Die Funktion logischer Verknüpfungen lässt sich durch den Stromlaufplan, durch Schaltzeichen, durch die Werte- oder die Arbeitstabelle, durch ein Zeitablaufdiagramm oder mithilfe der Funktionsgleichung beschreiben (**Tabelle 3, Seite 231**).

Versuch 1: Legen Sie an den Baustein 74HC08 (vier UND-Verknüpfungen) die Betriebsspannung $U_b = DC 5 V$ und beschriften Sie die Eingänge (**Bild**). Stellen Sie an den Schaltern S1 und S2 die vier möglichen Schalterkombinationen ein.

Der Ausgang der UND-Verknüpfung hat den Zustand 1, wenn beide Eingänge gleichzeitig den Zustand 1 (etwa +5 V) haben (**Tabelle 3, Seite 231**).

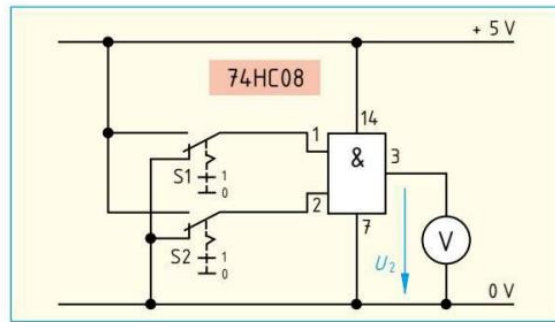


Bild: Verhalten der UND-Verknüpfung

Die UND-Verknüpfung hat nur dann das Ausgangssignal 1, wenn alle Eingangssignale gleichzeitig den Wert 1 haben.
 $X = A \wedge B$ (lies: $X = A$ und B)

i Zählweise bei ICs mit Dual-in-line-Gehäuse Zählweise

9.8.2.2 ODER-Verknüpfung

Versuch 2: Setzen Sie in die Versuchsanordnung zu Versuch 1 einen Baustein 74HC32 ein (vier ODER-Verknüpfungen). Der Baustein 74HC32 hat die gleiche Anschlussbelegung des IC 74HC08 aus Versuch 1. Wiederholen Sie sinngemäß Versuch 1.

Der Ausgang der ODER-Verknüpfung hat den Zustand 1, wenn an einem oder an beiden Eingängen der Zustand 1 anliegt (**Tabelle 1**).

Am Ausgang der ODER-Verknüpfung (Disjunktion¹) liegt der Zustand 1, wenn mindestens ein Eingang den Zustand 1 hat.
 $X = A \vee B$ (lies: $X = A$ oder B)

Tabelle 1: ODER-Verknüpfung																
Stromlaufplan	Schaltzeichen und Funktionsgleichung															
	 $X = A \vee B$															
Wertetabelle	Zeitablaufdiagramm															
<table border="1"> <thead> <tr> <th>B</th> <th>A</th> <th>X</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	B	A	X	0	0	0	0	1	1	1	0	1	1	1	1	
B	A	X														
0	0	0														
0	1	1														
1	0	1														
1	1	1														

Legt man die Störmeldungen, z. B. Wassermangel, Übertemperatur und Brennerstörung einer Heizungsanlage auf die drei Eingänge einer ODER-Verknüpfung, erhält man am Ausgang der Verknüpfung eine Sammelstörmeldung der Heizung. Sie zeigt das Auftreten einer oder mehrerer Störungen an.

9.8.2.3 NICHT-Verknüpfung

Bei der NICHT-Verknüpfung (**Negation**²) liegt am Ausgang das umgekehrte (invertierte³) Eingangssignal. Die Relaisschaltung in **Tabelle 2** wirkt wie eine Negation. Betätigt man den Steuertaster S1, zieht das Relais K1 an und trennt durch seinen Öffnerkontakt die Leuchte P1 vom Netz.

Am Ausgang der NICHT-Verknüpfung liegt immer das invertierte Eingangssignal.
 $X = \bar{A}$ (lies: $X = A$ nicht)

Tabelle 2: NICHT-Verknüpfung							
Stromlaufplan	Schaltzeichen und Funktionsgleichung						
	 $X = \bar{A}$						
Wertetabelle	Zeitablaufdiagramm						
<table border="1"> <thead> <tr> <th>A</th> <th>X</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	X	0	1	1	0	
A	X						
0	1						
1	0						

Für eine Negation braucht man immer ein aktives Bauelement, z. B. ein Relais oder einen Transistor. Die UND- bzw. die ODER-Verknüpfung lässt sich auch mit passiven Bauelementen, z. B. Widerstände und Dioden, realisieren.

¹ Disjunktion, von disjunctio (lat.) = Trennung
² Negation (lat.) = Verneinung
³ von invertere (lat.) = umwenden, umkehren

9.8.3 Grundverknüpfungen mit Ausgangs- oder Eingangsnegation

Grundverknüpfungen kombiniert man in der Praxis häufig mit der NICHT-Verknüpfung. Dabei kann die Eingangsseite oder die Ausgangsseite negiert sein.

9.8.3.1 Verknüpfungen mit Ausgangsnegation

NAND-Verknüpfung. Negiert man den Ausgang der UND-Verknüpfung, erhält man die NAND-Verknüpfung (Tabelle 1). Die Bezeichnung NAND bedeutet soviel wie **NOT-AND** (Nicht-UND).

Der Ausgang der NAND-Verknüpfung hat nur dann den Zustand 0, wenn alle Eingänge gleichzeitig den Zustand 1 haben.

$$X = \overline{A \wedge B} \text{ (lies: } X = A \text{ und } B, \text{ nicht)}$$

Am Schaltzeichen kennzeichnet man eine Ausgangsnegation durch einen Kreis am Ausgang der Verknüpfung, in der Funktionsgleichung durch einen durchgehenden Querstrich über den Eingangsvariablen (Tabelle 1).

NOR-Verknüpfung. Eine NOR-Verknüpfung (**NOT-OR**) kann man herstellen, wenn auf die ODER-Verknüpfung eine NICHT-Verknüpfung folgt (Tabelle 1).

Der Ausgang der NOR-Verknüpfung hat den Zustand 0, wenn mindestens ein Eingang den Zustand 1 hat.

$$X = \overline{A \vee B} \text{ (lies: } X = A \text{ oder } B, \text{ nicht)}$$

9.8.3.2 Verknüpfungen mit Eingangsnegation

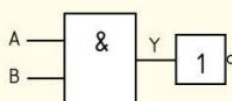
UND-Verknüpfungen mit Eingangsnegation (Tabelle 2) bezeichnet man als **Inhibition**¹ oder Sperr-UND. Damit sperrt man z.B. gleichzeitige Startsignale für Rechtslauf und Linkslauf einer Wendschaltung. Betätigt man die Taster für Rechtslauf und Linkslauf zusammen, wird kein Steuersignal wirksam (Verriegelung).

ODER-Verknüpfungen mit Eingangsnegation (Tabelle 2) sind **Implikationen**². Die Implikation verwendet man hauptsächlich zum Rücksetzen von RS-Speichern in speicherprogrammierten Steuerungen. Wird z.B. ein Aus-Taster (Öffner) betätigt oder spricht ein Auslöser an, wird das anliegende Signal 0 invertiert und setzt damit den RS-Speicher zurück.

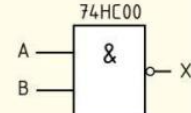
¹ Inhibition, von to inhibit (engl.) = verzögern, hemmen, hindern
² Implikation, von implicatio (lat.) = Verflechtung

Tabelle 1: Grundverknüpfungen mit Ausgangsnegation

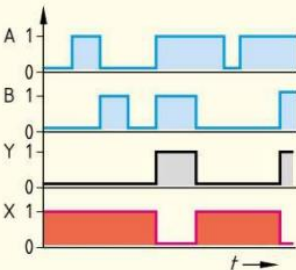
NAND-Verknüpfung



$Y = A \wedge B$
 $X = \overline{Y}$

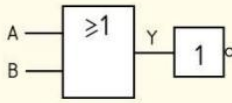


$X = \overline{A \wedge B}$

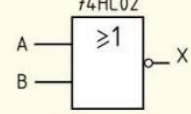


B	A	X
0	0	1
0	1	1
1	0	1
1	1	0

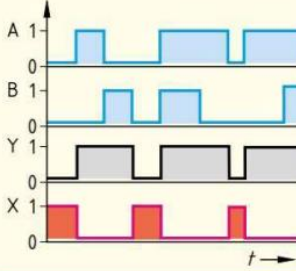
NOR-Verknüpfung



$Y = A \vee B$
 $X = \overline{Y}$



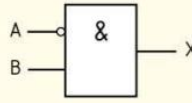
$X = \overline{A \vee B}$



B	A	X
0	0	1
0	1	0
1	0	0
1	1	0

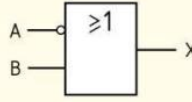
Tabelle 2: Grundverknüpfungen mit Eingangsnegation

Inhibition



$X = \overline{A} \wedge B$

Implikation



$X = \overline{A} \vee B$

Speicherprogrammierte Steuerungen:
Seite 554

9.8.3.3 Eingangsbeschaltung logischer Verknüpfungen

Im Versuch zur UND-Verknüpfung (Bild, Seite 231) haben die Schalter S1 und S2 Umschaltkontakte. Sie legen in jeder Schaltstellung ein definiertes 0-Signal oder 1-Signal an die Eingänge der UND-Verknüpfung. In der Praxis setzt man häufig Geber ein, die nur Schließer- oder nur Öffnerkontakte haben. Legt man z. B. den Schalter S1 in Bild 1 an +5 V, liegt bei geschlossenem Schalter der Zustand 1 am Eingang der Verknüpfung. Bei geöffnetem Kontakt ist dann aber kein definiertes Eingangssignal vorhanden.

Versuch 1: Beschalten Sie die Eingänge einer UND-Verknüpfung mit Schließerkontakten (Bild 1). Die rot gezeichneten Widerstände R_1 und R_2 entfallen zunächst. Stellen Sie die vier möglichen Eingangskombinationen an S1 und S2 ein. Messen Sie die Ausgangsspannung U_2 .

Der Ausgang der UND-Verknüpfung hat bei allen Eingangskombinationen den Zustand 1.

Versuch 2: Schalten Sie nun die beiden Widerstände R_1 und R_2 (Bild 1) zwischen Steuereingang und Masse (0V). Stellen Sie wieder alle vier Eingangskombinationen ein.

Der Ausgang der UND-Verknüpfung hat jetzt nur den Zustand 1, wenn alle Eingänge den Zustand 1 haben.

Eingänge von TTL¹- und HCMOS-Schaltkreisen, die nicht belegt oder durch geöffnete Steuerkontakte potenzialfrei sind, erkennen diesen Zustand als 1-Signal. Potenzialfreie Eingänge legt man deshalb über Pull-Down²-Widerstände (Bild 1) an Masse (0V).

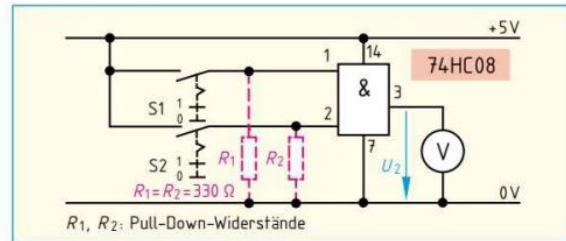


Bild 1: Beschaltung potenzialfreier Eingänge

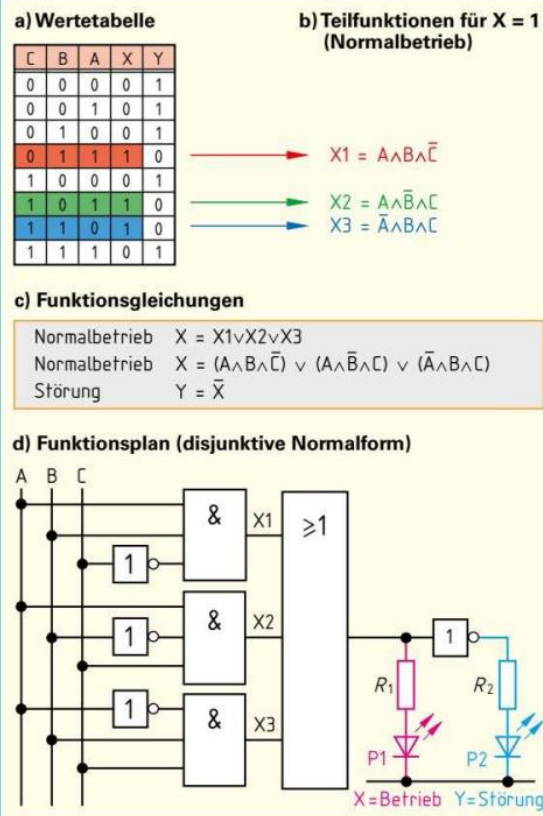


Bild 2: Pumpensteuerung (Beispiellösung)

9.8.3.4 Anwendung der Grundverknüpfungen

Beispiel: Anwendung der Grundverknüpfungen

In einem Wasserwerk sind drei Pumpen A, B und C installiert. Im Normalbetrieb müssen immer zwei Pumpen in Betrieb sein. Die Leuchtdiode P1 (X) soll den Normalbetrieb anzeigen, die Leuchtdiode P2 (Y) den Störfall.

Lösung:

Erstellen der Funktionsgleichung in ODER-Normal-Form:

- Zunächst erstellt man eine Wertetabelle und trägt die acht möglichen Betriebszustände der Pumpen ein (Bild 2a).
- Jede Zeile mit zwei eingeschalteten Pumpen erhält in der Spalte X eine 1, alle anderen Zeilen eine 0.
- Aus den drei Zeilen mit X = 1 lassen sich nun die drei Teilfunktionen ablesen (Bild 2b).
- Die Teilfunktionen mit X = 1 fasst man in einer ODER-Verknüpfung (Disjunktion) zusammen (Bild 2c).

Die so gefundene Funktionsgleichung bezeichnet man als **Funktionsgleichung in ODER-Normalform (disjunktive Normalform)**. Der Wahrheitstabelle ist zu entnehmen, dass die Störungsanzeige P2 (Y) immer leuchten soll, wenn die Betriebsanzeige P1 (X) dunkel ist. Zur Störmeldung Y wird der Betriebszustand X invertiert (Bild 2d).

Wiederholungsfragen

- 1 Wodurch unterscheiden sich a) analoge, b) binäre und c) digitale Signale?
- 2 Geben Sie je zwei Anwendungsbeispiele für eine a) UND- und b) ODER-Verknüpfung an.
- 3 Welche Möglichkeiten bestehen, um die Funktion einer Verknüpfung zu beschreiben?
- 4 Aus welchen Grundverknüpfungen besteht eine a) NAND- und b) NOR-Verknüpfung?

¹ TTL = Abk. für Transistor-Transistor-Logik; ² pull-down (engl.) = herunterziehen

9.8.4 Schaltkreisfamilien

Schaltkreise der Digitaltechnik lassen sich nur zu einer Schaltung zusammenfügen, wenn die Kennwerte der Schaltkreise aufeinander abgestimmt sind. Wichtige Kennwerte für einen gemeinsamen Betrieb innerhalb einer Schaltung sind die Betriebsspannung, die garantierten Spannungsbereiche für L- und H-Pegel, die Signallaufzeit und die Belastbarkeit des Schaltkreisausganges (Tabelle).

9.8.4.1 TTL-Schaltkreisfamilie

Bausteine der TTL¹-Schaltkreisfamilie haben eine Betriebsspannung von 5 V. Sie sind meist in einem Dual-in-line-Gehäuse², bei Anwendung der SMD-Technik in einem SO-14-Gehäuse untergebracht.

TTL-Standard. Die Grundschaltung dieser Schaltkreisfamilie ist eine NAND-Verknüpfung. Sie wird mit einem Multi-Emitter-Transistor (K1) und nachgeschalteter Inverterstufe (K2) ausgeführt (Bild 1a). Die Inverterstufe bewirkt eine hohe Ausgangsbelastbarkeit (Tabelle). Diese Belastbarkeit wird meist durch den Wert „fan out“ ausgedrückt. Ein Wert fan out = 10 bedeutet, dass ein Schaltkreisausgang 10 gleichartige nachfolgende Schaltkreiseingänge (fan in = 1) ansteuern kann. Die garantierten Spannungsbereiche für die Eingangs- und Ausgangspegel für TTL-Standardbausteine sind in Bild 2 angegeben.

TTL-Schottky. Bei TTL-Schaltkreisen in Schottky-Technik sind parallel zur Basis-Kollektor-Strecke der Transistoren Dioden mit kleiner Schwellspannung (Schottky-Dioden, $U_S \approx 0,4 \text{ V}$) geschaltet. Damit ergeben sich kleine Signallaufzeiten (Tabelle).

TTL-Low-Power-Schaltkreise haben eine kleine Signallaufzeit und eine geringe Verlustleistung (Tabelle).

9.8.4.2 CMOS-Schaltkreisfamilie

CMOS³-Bausteine haben als Grundschaltung eine komplementäre Schaltstufe aus Feldeffekttransistoren (Bild 1b). Sie können mit einer Betriebsspannung zwischen 3 V und 15 V versorgt werden. Die Spannungsbereiche der L-Pegel und H-Pegel sind von der Höhe der Betriebsspannung abhängig.

HCMOS-Bausteine der Serie 74HC haben die gleiche PIN-Belegung, Betriebsspannung und Eingangspegel wie TTL-Bausteine (Tabelle). Der Ausgangspegel $U_{2Hmin} = 3,5 \text{ V}$ weicht jedoch vom TTL-Ausgangspegel $U_{2Hmin} = 2,4 \text{ V}$ ab (Bild 2).

Schutz gegen elektrostatische Aufladung bei Arbeiten mit CMOS-Bauelementen:
Seite 381

¹ TTL = Abkürzung für Transistor-Transistor-Logik
² Dual in line (engl.) = zweifach in Reihe
³ CMOS von complementary metal oxide semiconductor (engl.) = komplementärer Metalloxid-Halbleiter

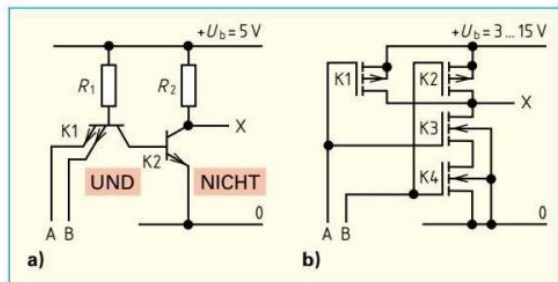


Bild 1: Grundschaltung einer NAND-Verknüpfung a) in TTL-Technik, b) in CMOS-Technik



Bezeichnung von integrierten Schaltkreisen (Beispiele):

- TTL-Bausteine: 74 ..., z. B. 7408,
- HCMOS-Bausteine: 74HC ..., z. B. 74HC08
- CMOS-Bausteine: CD ..., z. B. CD 4007

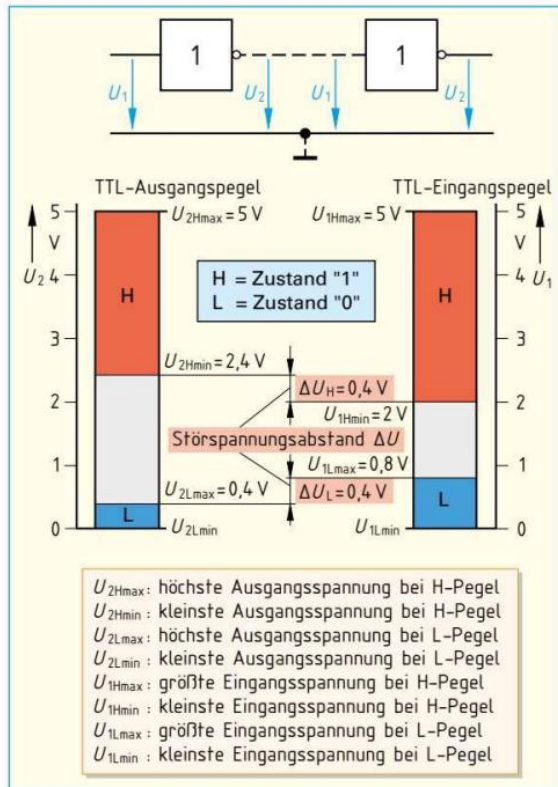


Bild 2: Pegelbereiche für TTL-Schaltkreise an $U_b = 5 \text{ V}$

Tabelle: Kennwerte von Schaltkreisfamilien

Schaltkreisfamilie	Betriebsspannung U_b	Signallaufzeit je Verknüpfung	Verlustleistung	Ausgangsbelastbarkeit
TTL-Standard	5 V	10 ns	10 mW	50 mW
TTL-Schottky	5 V	3 ns	19 mW	12 mW
TTL-Low-Power	5 V	8 ns	2 mW	40 mW
CMOS	3 bis 15 V	50 ns	0,01 mW	5 mW
HCMOS*	5 V	12 ns	50 mW	125 mW

* ICs der HCMOS-Serie 74HCXX haben dieselbe Anschlussbelegung wie die ICs der TTL-Standardserie 74XX.

9.8.5 Schaltalgebra

Die Schaltalgebra ermöglicht die mathematische Beschreibung binärer Verknüpfungen.

Rechenregeln. Zur Verknüpfung einer Variable, z.B. mit der Variable A (**Bild**), in einer UND- bzw. in einer ODER-Verknüpfung mit der Konstanten 0 oder 1, mit der Variable A selbst oder mit der negierten Variable A, sind Rechenregeln festgelegt. Für die Vereinfachung von Funktionsgleichungen sind dabei die rot unterlegten Zeilen besonders wichtig (**Bild**).

Das **Vertauschungsgesetz (Kommutativgesetz)** besagt, dass man die Variablen einer Funktionsgleichung, die nur UND- bzw. nur ODER-Verknüpfungen enthält, beliebig vertauschen kann. Das Ergebnis der Funktionsgleichung ändert sich dadurch nicht (**Tabelle**).

Das **Verbindungsgesetz (Assoziativgesetz)** drückt aus, dass man in einer Funktionsgleichung mit nur einer Verknüpfungsart Klammern setzen, aber auch weglassen darf. Das Assoziativgesetz wendet man z.B. an, wenn die Variablen A, B und C in einer UND-Verknüpfung verarbeitet werden sollen, aber nur ein Baustein zur Verfügung steht, der UND-Verknüpfungen mit zwei Eingängen enthält (**Tabelle**).

Das **Verteilungsgesetz (Distributivgesetz)** enthält Regeln zum Umformen von Funktionsgleichungen, die sowohl UND- als auch ODER-Verknüpfungen enthalten. Beim Umformen ist jedoch auf eine eindeutige Schreibweise zu achten, z.B. durch den Einsatz von Klammern.

Verknüpfungen in Klammern haben Vorrang vor nicht eingeklammerten Verknüpfungen.

Beispiele:

In der Funktionsgleichung $X = A \wedge (B \vee C)$ wird zunächst die Variable B mit C ODER-verknüpft. Das Verknüpfungsergebnis wird dann mit der Variablen A in einer UND-Verknüpfung verarbeitet.

Eine Schaltung mit der Funktionsgleichung $X = (A \wedge B) \vee (A \wedge C)$ hat am Ausgang X den Zustand 1, wenn die Variablen A und B oder die Variablen A und C den Zustand 1 haben (**Tabelle**). Die gleiche Funktion wird durch eine nach dem Verteilungsgesetz in UND-Form (**konjunktives Verteilungsgesetz**) umgeformte Funktionsgleichung $X = A \wedge (B \vee C)$ erreicht (**Tabelle**).

Entsprechend ändert man die Funktionsgleichung $X = (A \vee B) \wedge (A \vee C)$ nach dem **disjunktiven Verteilungsgesetz** in die funktionsgleiche Schaltung $X = A \vee (B \wedge C)$ (**Tabelle**).

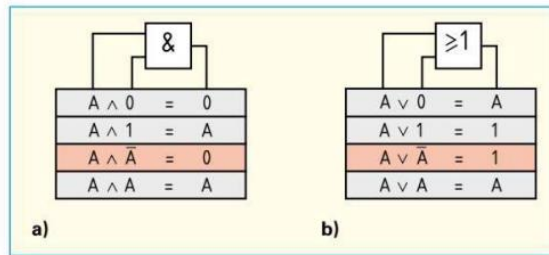
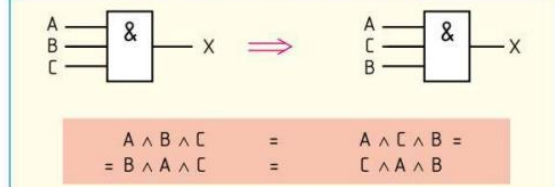


Bild: Rechenregeln der a) UND-Verknüpfung b) ODER-Verknüpfung

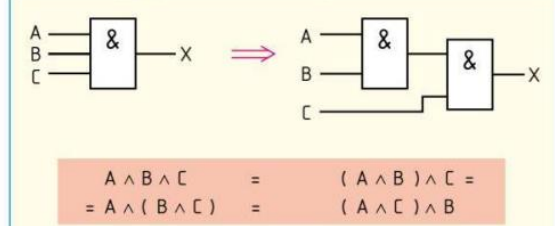
KV-Diagramm zur Vereinfachung von digitalen Schaltnetzwerken

Tabelle: Rechengesetze der Schaltalgebra

Vertauschungsgesetz (Kommutativgesetz)

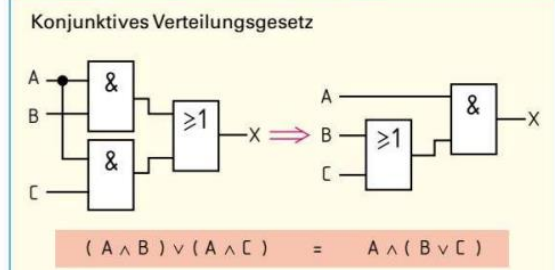


Verbindungsgesetz (Assoziativgesetz)

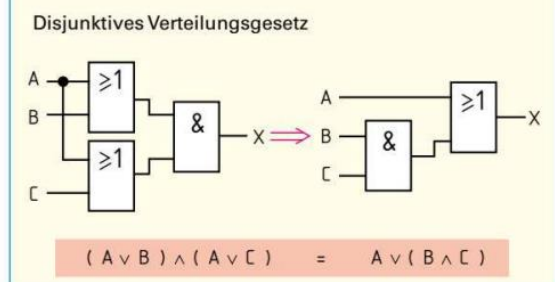


$$A \wedge B \wedge C = (A \wedge B) \wedge C = A \wedge (B \wedge C) = (A \wedge C) \wedge B$$

Verteilungsgesetze (Distributivgesetze)



$$(A \wedge B) \vee (A \wedge C) = A \wedge (B \vee C)$$



$$(A \vee B) \wedge (A \vee C) = A \vee (B \wedge C)$$

De morgansche Gesetze

Mithilfe der de morganschen Gesetze kann man NAND- in funktionsgleiche ODER-Verknüpfungen bzw. NOR- in UND-Verknüpfungen umformen (**Tabelle**). Dabei wird jede Variable der Verknüpfungen negiert und das Funktionszeichen der Verknüpfung geändert.

Das **erste de morgansche Gesetz** wandelt eine NAND-Verknüpfung in eine funktionsgleiche ODER-Verknüpfung mit negierten Eingängen um (**Tabelle**).

$$\overline{A \wedge B} = \overline{A} \vee \overline{B}$$

Das **zweite de morgansche Gesetz** setzt eine NOR-Verknüpfung in eine funktionsgleiche UND-Verknüpfung mit negierten Eingängen um.

$$\overline{A \vee B} = \overline{A} \wedge \overline{B}$$

Zwei hintereinander geschaltete Negationen heben sich auf ($\overline{\overline{A}} = A$).

Vereinfachen von Funktionsgleichungen

Beispiel:

Die Schaltung in **Bild 1** soll durch Anwenden der Rechengesetze der Schaltalgebra vereinfacht werden.

Lösung:

Für die gegebene Schaltung bestimmt man zunächst die Teilfunktionen (blaue Ergänzungen in **Bild 1**) und erstellt daraus die Funktionsgleichung der Schaltung (**Bild 1**).

$$X = (\overline{A} \wedge \overline{B} \wedge \overline{C}) \vee (A \wedge \overline{B} \wedge \overline{C}) \vee (A \wedge \overline{B} \wedge C) \vee (A \wedge B \wedge C)$$

1. Anwenden des Distributivgesetzes (Ausklammern von $(\overline{B} \wedge \overline{C})$ bzw. $(A \wedge C)$):

$$X = [\overline{B} \wedge \overline{C} \wedge (A \vee \overline{A})] \vee [A \wedge C \wedge (B \vee \overline{B})]$$
2. Anwenden der Regel $A \vee \overline{A} = 1$ bzw. $B \vee \overline{B} = 1$:

$$X = (\overline{B} \wedge \overline{C} \wedge 1) \vee (A \wedge C \wedge 1) = (\overline{B} \wedge \overline{C}) \vee (A \wedge C)$$

Bild 2 zeigt die vereinfachte Schaltung.

9.8.6 Antivalenz-Verknüpfung und Äquivalenz-Verknüpfung

Antivalenz-Verknüpfung

Die Antivalenz-Verknüpfung vergleicht die Eingangssignale auf ungleichen Signalzustand.

Bei ungleichen Eingangssignalen, z.B. $A = 0$ und $B = 1$ oder $A = 1$ und $B = 0$ (**Bild 3**) hat die Antivalenz-Verknüpfung am Ausgang den Zustand 1.

Äquivalenz-Verknüpfung

Die Äquivalenz-Verknüpfung vergleicht die Eingangssignale auf gleichen Signalzustand.

Der Ausgang der Äquivalenz-Verknüpfung hat den Zustand 1, wenn die Eingangssignale den gleichen Wert haben, z.B. $A = 0$ und $B = 0$.

Tabelle: Die de morganschen Gesetze

		B	A	X
1. de morgansches Gesetz 		0	0	1
		0	1	1
		1	0	1
		1	1	0
		$A \wedge B = \overline{A \vee B}$		
2. de morgansches Gesetz 		0	0	1
		0	1	0
		1	0	0
		1	1	0
		$\overline{A \vee B} = \overline{A} \wedge \overline{B}$		

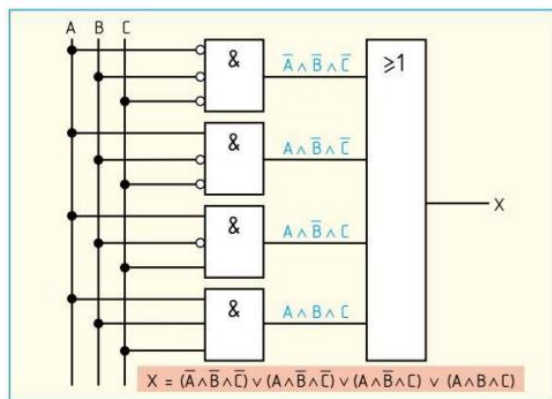


Bild 1: Schaltungsbeispiel

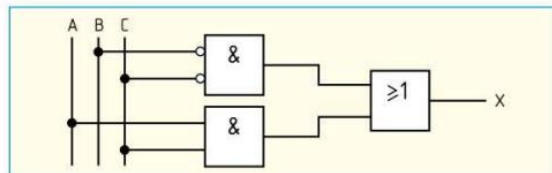


Bild 2: Vereinfachte Schaltung

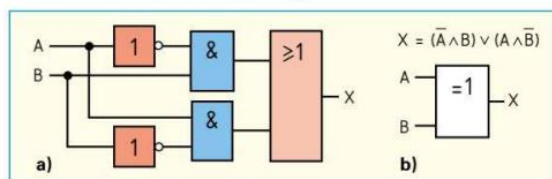


Bild 3: Antivalenz-Schaltung
a) Schaltung, b) Schaltzeichen

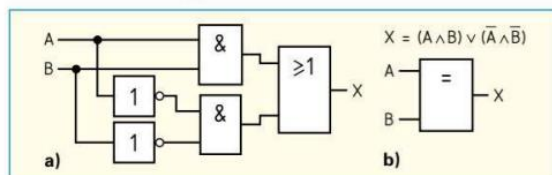


Bild 4: Äquivalenz-Schaltung
a) Schaltung, b) Schaltzeichen

9.8.7 Kippglieder

Kippglieder sind elektronische Schaltungen mit Speicherverhalten.

9.8.7.1 Zustandsgesteuerte und taktgesteuerte Kippglieder

Zustandsgesteuerte Kippglieder (asynchrone Kippglieder) bestehen aus NOR- oder aus NAND-Verknüpfungen (**Übersicht**). Die Eingänge der Kippglieder bezeichnet man mit S (Setzen) und R (Rücksetzen). Die Speicherausgänge sind mit Q und \bar{Q} bezeichnet und haben immer inverse Signale.

Ein Kippglied ist gesetzt, wenn die Speicherausgänge die Zustände $Q = 1$ und $\bar{Q} = 0$ haben.

RS-Kippglieder (NOR-Kippglieder) werden mit Signal 1 gesetzt bzw. zurückgesetzt (**Bild 1**). Bei $R = 1$ und $S = 1$ nehmen beide Speicherausgänge den verbotenen Zustand Q und $\bar{Q} = 0$ an.

Taktgesteuerte Kippglieder (synchrone Kippglieder) geben Signale mithilfe eines Taktsignales an die Ausgänge ab. Die Eingangssignale sind mit dem Signal am **Takteingang C**¹ UND-verknüpft (**Bild 2**). Damit werden Steuersignale an S oder R nur bei Takteingang $C = 1$ wirksam.

Sind $C = 1$, $S = 1$ und $R = 0$, so führt das UND-Glied K1 am Ausgang 1-Signal, K2 aber 0-Signal. Das NOR-Glied K3 muss am Ausgang also 0-Signal, NOR-Glied K4 1-Signal haben. Alle weiteren Möglichkeiten für $C = 1$ können entsprechend überprüft werden (**Tabelle**). Bei $C = 0$ ebenso bei $R = S = 0$ ist eine Signaländerung am Speicherausgang unmöglich (**Tabelle**).

D-Kippglieder haben einen Takteingang C und einen D-Eingang² (Dateneingang). Das Verknüpfungsergebnis $D \wedge C$ liegt am Eingang S', das Verknüpfungsergebnis $\bar{D} \wedge C$ am Eingang R' des RS-Kippgliedes (**Bild 3**). Damit können die Eingänge S' und R' niemals gleiche Werte annehmen. D-Kippglieder haben deshalb keinen verbotenen Zustand ($Q = \bar{Q}$).

JK-Kippglieder (**Bild 1, Seite 239**) besitzen je einen Setz- und Rücksetzeingang sowie den Takteingang C. Die Eingänge sind mit J und K bezeichnet.

Das Zeitablaufdiagramm (**Bild 2, Seite 239**) zeigt die Arbeitsweise des JK-Kippgliedes. Einer der beiden Ausgänge Q bzw. \bar{Q} muss 1-Signal führen. Ist $Q = 1$, dann ist die UND-Verknüpfung des K-Einganges vorbereitet. Bei $K = 1$ gelangt an den Eingang 1R (**Bild 1, Seite 239**) das 1-Signal und \bar{Q} wird beim nächsten Takt 1. Nun ist die UND-Verknüpfung des J-Einganges vorbereitet. Mit $J = 1$ wird das JK-Kippglied mit dem nächsten Takt gesetzt ($Q = 1$).

¹ von clock (engl.) = Takt
² von delay (engl.) = Verzögerung

Übersicht: Kippglieder

1. Zustandsgesteuerte Kippglieder

- NOR-Kippglied (RS-Kippglied)
- NAND-Kippglied (RS-Kippglied)

2. Taktgesteuerte Kippglieder

- Taktzustandsgesteuerte Kippglieder
- D-Kippglied
- JK-Kippglied

3. Flankengesteuerte Kippglieder

- Einflankengesteuertes JK-Kippglied
- Zweiflankengesteuertes JK-Kippglied (JK-Master-Slave-Kippglied)

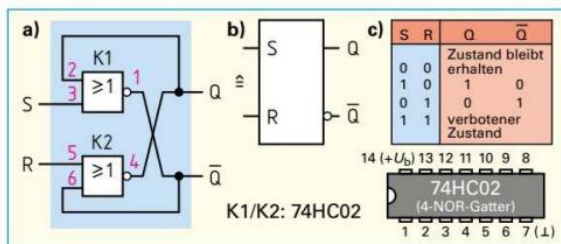


Bild 1: RS-Kippglied (NOR-Kippglied), a) Schaltung, b) Schaltzeichen, c) Wertetabelle

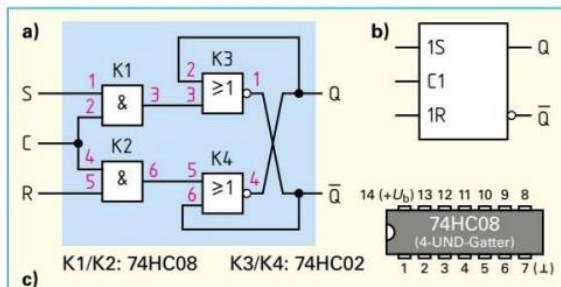


Bild 2: Taktzustandsgesteuertes RS-Kippglied, a) Schaltung, b) Schaltzeichen, c) Wertetabelle

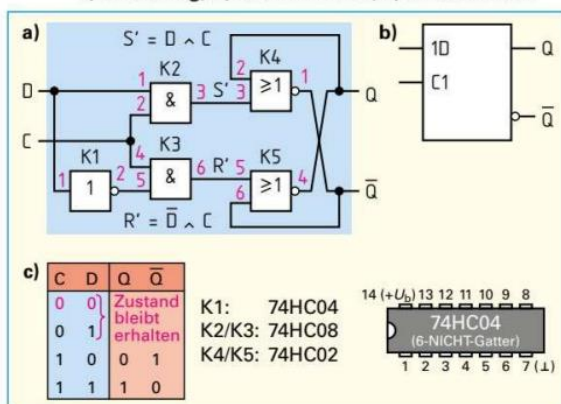
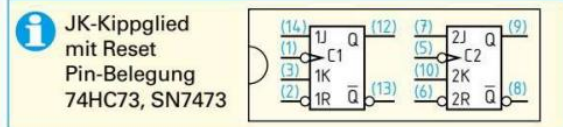


Bild 3: D-Kippglied, a) Schaltung, b) Schaltzeichen, c) Wertetabelle

Ein JK-Kippglied hat keine verbotenen Eingangskombinationen.

Beim einflankengesteuerten JK-Kippglied kann die Informationsübernahme der an den J- und K-Eingängen anliegenden Signale mit der ansteigenden oder mit der abfallenden Flanke des Taktsignals gesteuert werden (Bild 2). Die Steuerung mit der abfallenden Flanke kennzeichnet man durch einen Negationsring vor dem Takteingang (Bild 2b).



9.8.7.2 Zweiflankengesteuertes JK-Kippglied

Das zweiflankengesteuerte JK-Kippglied (JK-Master-Slave¹-Kippglied) besteht aus zwei einflankengesteuerten JK-Kippgliedern (Bild 3b). Das Taktsignal des Master-Kippgliedes wird invertiert und dem Takteingang des Slave-Kippgliedes zugeführt. Die Information an den Vorbereitungseingängen (J und K) wird deshalb mit der ansteigenden Flanke des Taktsignals übernommen, zwischengespeichert und mit der abfallenden Taktflanke vom Slave-Kippglied K2 übernommen und steht dann an den Speicherausgängen Q und Q-bar an (Bild 3c). Im Schaltzeichen wird die Zweiflankensteuerung durch zwei Winkel an den Ausgängen angegeben (Bild 3a).

Zweiflankengesteuerte JK-Kippglieder sind störsicher, weil zwischen der Informationsübernahme an den J- und K-Eingängen und der Signalausgabe an Q bzw. Q-bar eine zeitliche Trennung besteht.

JK-Master-Slave-Kippglieder verwendet man bevorzugt für Zählerschaltungen und für Schieberegister.

Zählerschaltungen: Seite 240
Schieberegister

Wiederholungsfragen

- Beschreiben Sie den Aufbau des RS-Kippgliedes.
- Mit welchem Eingangssignal wird ein
 - NOR-Kippglied und
 - ein NAND-Kippglied gesetzt bzw. zurückgesetzt?
- Begründen Sie, warum es keinen verbotenen Zustand gibt
 - beim D-Kippglied und b) beim JK-Kippglied.
- Woran erkennt man am Schaltzeichen eines einflankengesteuerten JK-Kippgliedes die Ansteuerung mit
 - ansteigender und b) mit abfallender Flanke?
- Aus welchen Teilen besteht ein zweiflankengesteuertes JK-Kippglied?

¹ von master (engl.) = Herr; slave (engl.) = Sklave

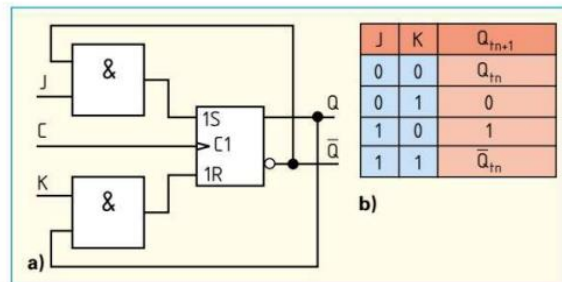


Bild 1: JK-Kippglied, einflankengesteuert

Ausgangszustände des einflankengesteuerten JK-Kippgliedes (Bild 1):
 Q_{t_n} = Zustand des Ausgangs Q vor dem Takt
 $Q_{t_{n+1}}$ = Zustand des Ausgangs Q nach dem Takt
 \bar{Q}_{t_n} = Der Zustand des Ausgangs Q wechselt mit jedem Takt.

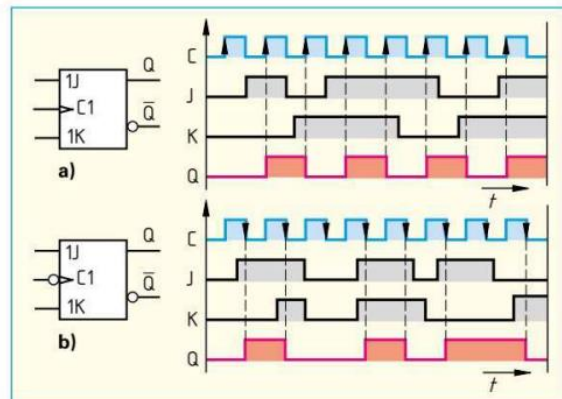


Bild 2: Zeitablaufdiagramm des JK-Kippglieds, gesteuert
a) mit ansteigender Taktflanke
b) mit abfallender Taktflanke

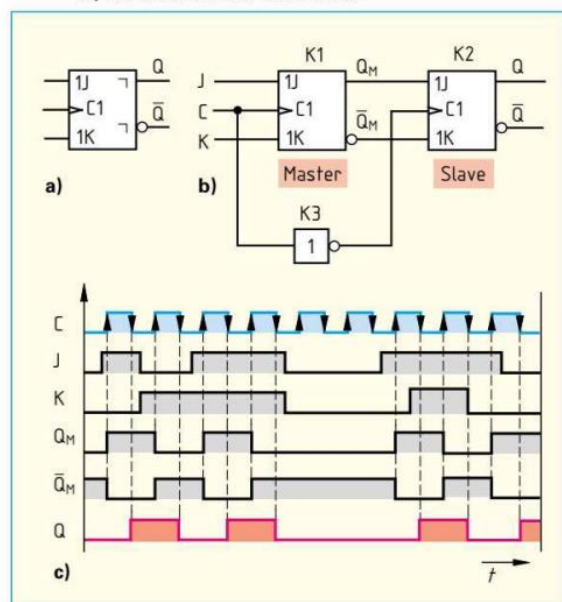


Bild 3: JK-Master-Slave-Kippglied
a) Schaltzeichen, b) Schaltung und
c) Zeitablaufdiagramm

9.8.73 Schaltungen mit Kippgliedern

Duales Zahlensystem

Das duale Zahlensystem ist wie das Dezimalsystem ein Stellenwertsystem, jedoch mit Potenzen der Basis 2. Der kleinste Stellenwert für ganze Zahlen ist 2^0 (Tabelle 1). Links vom Stellenwert $2^0 = 1$ stehen die aufsteigenden Werte $2^1 = 2$, $2^2 = 4$ usw. Die letzte Stelle (n -te Stelle) hat den Stellenwert 2^{n-1} .

Bei der Umrechnung vom Dual- in das Dezimalsystem addiert man die Stellenwerte aller Stellen, die den Wert 1 haben.

Beispiel 1:

Wandeln Sie die Dualzahl 1001011 in eine Dezimalzahl um.

Lösung:

Dualzahl: 1 0 0 1 0 1 1
 Stellenwert: 2^6 2^5 2^4 2^3 2^2 2^1 2^0
 Dezimalzahl: $64 + 0 + 0 + 8 + 0 + 2 + 1 = 75$

Beispiel 2:

Wandeln Sie die Dezimalzahl 19 mit dem Restverfahren in eine Dualzahl um.

Lösung:

19 : 2 = 9 Rest 1
 9 : 2 = 4 Rest 1
 4 : 2 = 2 Rest 0
 2 : 2 = 1 Rest 0
 1 : 2 = 0 Rest 1
 Leserichtung → 1 0 0 1 1

In Zählerschaltungen verwendet man häufig BCD¹-Codes, z. B. den 8-4-2-1-Code (Tabelle 2). Dabei stellt man jede Dezimalziffer durch die entsprechende 4-stellige Dualzahl dar. (Weitere Codes siehe Tabellenbuch Elektrotechnik.)

Zählerschaltungen

Zählerschaltungen, Frequenzteiler oder Schieberegister bestehen häufig aus taktflankengesteuerten JK-Kippgliedern.

Frequenzteiler. JK-Kippglieder mit der Beschaltung $J = K = 1$ (**T²-Kippglieder**) ändern ihren Ausgangszustand mit jeder wirksamen Taktflanke. Die Periodendauer des Ausgangssignals ist doppelt so groß wie die des Eingangssignals (Bild 1).

T-Kippglieder arbeiten als Frequenzteiler.

Asynchron-Dual-Zähler. Beim Asynchron-Zähler liegt das Zählsignal am Zähl Eingang des ersten JK-Kippgliedes. Der Ausgang steuert immer den Zähl Eingang des folgenden Kippgliedes (Bild 2). Die Kippglieder der Zähldekade bezeichnet man mit K0, K1 und K2 und ordnet ihren Ausgängen die Stellenwerte $Q0 = 2^0$, $Q1 = 2^1$ und $Q2 = 2^2$ usw. zu (Bild 2).

¹ BCD von Binary-Coded-Decimal (engl.) = binär codiertes Dezimalsystem
² von to toggle (engl.) = hin- und herschalten

Tabelle 1: Duales Zahlensystem

Stelle	n	6.	5.	4.	3.	2.	1.
Stellenwert	2^{n-1}	2^5	2^4	2^3	2^2	2^1	2^0
Dezimalzahl		32	16	8	4	2	1

Tabelle 2: 8-4-2-1-Code

Wert (Dezimalziffer)	2^3 (8)	2^2 (4)	2^1 (2)	2^0 (1)
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10 ¹	1	0	1	0

¹ Zählerrückstellung und Übertragsbildung zur nächsthöheren Zähldekade.

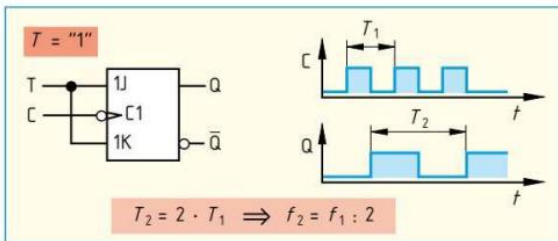


Bild 1: T-Kippglied als Frequenzteiler

- Zähler addieren Zählimpulse und speichern das Ergebnis. Man unterscheidet:
 - Vorwärtszähler
 - Rückwärtszähler
 - Dualzähler
 - Dezimalzähler

Weitere Zählerschaltungen und Schieberegister

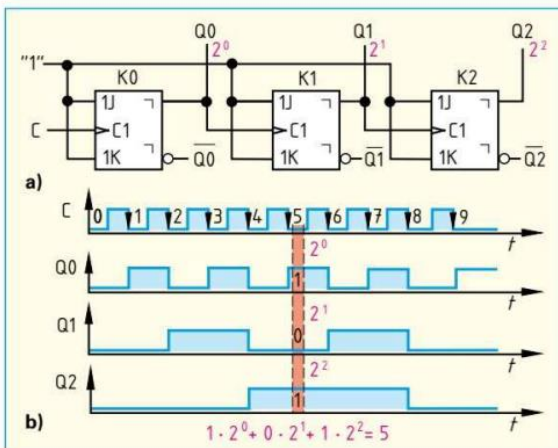


Bild 2: Asynchron-Dual-Zähler
 a) Schaltung, b) Zeitablaufdiagramm

9.8.8 Analog-Digital-Umsetzer (AD-Umsetzer)

Analog-Digital-Umsetzer (Bild 1) wandeln analoge Eingangsgrößen in digitale Ausgangssignale um.

Beim Messen elektrischer Größen, z.B. der Spannung, oder nichtelektrischer Größen, z.B. der Temperatur, erhält man analoge elektrische Messwerte. Zur Verarbeitung in Datenverarbeitungsanlagen müssen die analogen elektrischen Messwerte in digitale Werte umgesetzt werden. Dazu ist ein **Analog-Digital-Umsetzer (ADU¹, Bild 1)** notwendig.

Wichtige Eigenschaften eines AD-Umsetzers sind Auflösung, Genauigkeit und Abtastrate. Sie sind vom eingesetzten AD-Umsetzungsverfahren (**Tabelle, Seite 242**) abhängig.

i **Fachbegriffe zu Analog-Digital-Umsetzer**

- **Auflösung:** Gibt die Anzahl der binären Stellen (Bit) des digitalen Ausgangssignals an. Z.B. hat ein 8-Bit-Umsetzer $2^8 - 1 = 255$ Quantisierungsstufen. Bei einer Eingangsspannung von z.B. 2,55 V können Spannungen, in Schritten von $2,55 \text{ V} / 255 = 0,01 \text{ V}$ digital ausgegeben werden.
- **Max. Abtastrate:** Sie bestimmt die max. Anzahl der Messungen pro Sekunde.
- **Quantisierungsfehler:** Entsteht beim Runden des analogen Signals auf den kleinsten digitalen Wert (eine Quantisierungsstufe). Abhängig von der Auflösung.

Direkte Umsetzer

Flash²-Umsetzer, vergleichen die analoge Eingangsspannung (Messspannung) mit bekannten Vergleichsspannungen (**Bild 2**). Die Eingangsspannung wird in einem Schritt digitalisiert. Dadurch ist er sehr schnell. Flash-Umsetzer werden z.B. in Digital-Speicher-Oszilloskopen (**Seite 183**) eingesetzt. Der Flash-Umsetzer für 3 Bit setzt sich aus sieben parallelen Komparatoren (A bis G) zusammen. An den invertierenden Eingängen entstehen Referenzspannungen, die durch die Widerstände R bestimmt werden. Die Messspannung U_x wird dann mit der Vergleichsspannung U_v verglichen. Die Ausgänge der Komparatoren sind auf ein digitales Schaltnetz geführt, welches die Werte der Komparatoren in eine dreistellige Binärzahl, z.B. 101, umwandelt.

Umsetzer mit Zähler (Bild 3) steuern mit einem Zähler einen DA-Umsetzer (**Seite 243**) an. Dieser erzeugt eine in Stufen steigende Vergleichsspannung U_v , die mit der Messspannung U_x in einem Komparator verglichen wird. Entspricht $U_v = U_x$, wird der Zähler gestoppt. Der digitale Wert des Zählers entspricht der Messspannung. Das Zählverfahren ist sehr langsam. Man erreicht jedoch sehr hohe Auflösungen, z.B. 20 Bit.

¹ ADU, Abk. für Analog-Digital-Umsetzer; ² von Flash (engl.) = Blitz

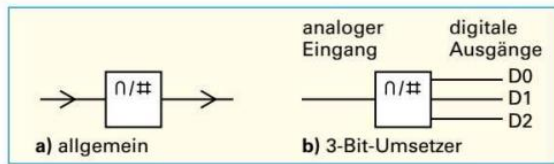


Bild 1: Schaltzeichen für AD-Umsetzer

Übersicht: AD-Umsetzerverfahren (Beispiele)

- Direkte Umsetzer (Momentanwert-Umsetzer)**
- Parallelverfahren, z. B. Flash-Umsetzer
 - Zählverfahren, z. B. Umsetzer mit Zähler
 - Wägeverfahren z. B. Sukzessive Approximations-Umsetzer
- Indirekte Umsetzer (Integrierende Umsetzer)**
- Single-Slope-Umsetzer
 - Dual-Slope-Umsetzer
 - Sigma-Delta-Umsetzer

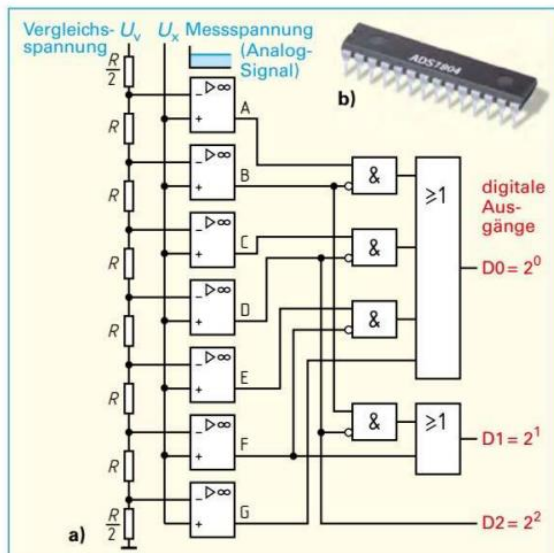


Bild 2: a) 3-Bit-Flash-Umsetzer, Prinzipschaltung und b) als integrierter Schaltkreis (IC)

i Flash-Umsetzer benötigen für n-Bit: $2^n - 1$ Komparatoren

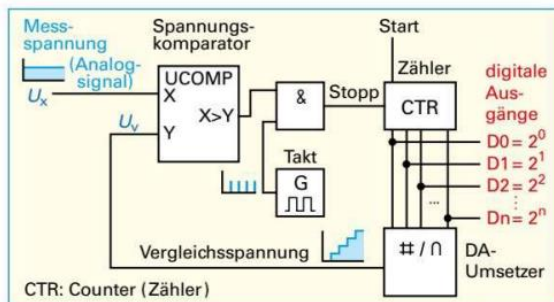


Bild 3: AD-Umsetzer nach dem Zählverfahren

Sukzessive-Approximations-Umsetzer (Bild 1) nutzen das Wägeverfahren. Der Digitalwert wird schrittweise an die Messspannung angenähert. Das Sukzessive-Approximations-Register (SAR) erzeugt in immer kleiner werdenden Schritten über den DA-Umsetzer (**Seite 243**) eine Vergleichsspannung U_v . Die Spannung U_v wird mit jedem Schritt halbiert und mit der analogen Messspannung U_x verglichen. Der Vorgang läuft wie folgt ab:

- Das SAR setzt zuerst das höchstwertigste Bit (auch MSB¹ genannt).
- Der DA-Umsetzer wandelt das Signal in eine Vergleichsspannung um.
- Ist die Spannung U_v größer als die Spannung U_x , wird das Bit zurückgesetzt. Ist sie kleiner, bleibt es gesetzt.
- Vom SAR wird das nächstniedrigere Bit gesetzt und wieder verglichen.
- Ist während der Umsetzung die Spannung U_v größer als die Spannung U_x , so wird dieses Bit rückgesetzt und das nächst kleinere Bit gesetzt.
- Dieser Vorgang wiederholt sich, bis alle Bits bis zum niedrigwertigsten Bit (LSB²) bearbeitet wurden. Die Messspannung darf sich während der Umsetzung nicht ändern. Deshalb wird dem Eingang ein Abtast-Halte-Glied vorgeschaltet.

Tabelle: Kennwerte der Umsetzungsverfahren			
Verfahren	Auflösung	Maximale Abtast-rate	Verwendung (Beispiele)
Parallelverfahren	4 bis 10 bit	20 MHz bis 600 MHz	Bildverarbeitung in Digital- und Videokameras, Radaranlagen
Zählverfahren	8 bis 24 bit	2 Hz bis 800 kHz	Digitale Messgeräte
Wägeverfahren	8 bis 16 bit	10 kHz bis 1 MHz	Prozesssteuerung, Fertigungsautomatisierung

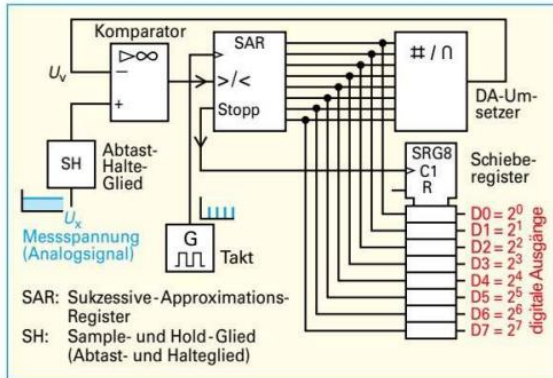


Bild 1: 8-Bit-Sukzessive-Approximations-Umsetzer (Prinzip)

Indirekte Umsetzer

Dual-Slope-Umsetzer³ (Bild 2) liegen zählende Verfahren zugrunde. Sie setzen die Messspannung U_x in einen Impuls proportionaler Zeitdauer um. Die Zeitdauer wird anschließend mit einem Zähler digital gemessen. Die Messspannung U_x lädt den Kondensator im Integrierer in einer bestimmten Zeit auf. Anschließend wird der Kondensator über eine Vergleichsspannung U_v wieder entladen. Solange der Kondensator sich entlädt, werden die Zählimpulse vom Zähler gezählt. Weder die Stabilität des Frequenzgenerators noch die Integrationszeitkonstante des Integrierers beeinflussen das Messergebnis. Dual-Slope-Umsetzer sind genau, unabhängig von Toleranzen der Bauelemente und preiswert. Sie werden daher z.B. in digitalen Messgeräten verwendet.

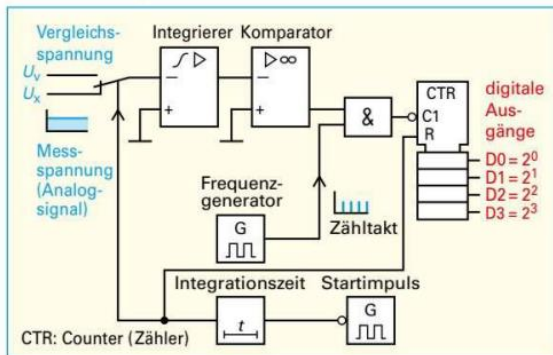


Bild 2: 4-Bit-Dual-Slope-Umsetzer (Prinzip)

Sigma-Delta-Umsetzer ($\Sigma\Delta$ -Umsetzer⁴, Bild 3). Die Messspannung U_x wird über einen Integrierer auf einen Summierer geführt. Ein weiterer Integrierer erzeugt einen Amplitudenmittelwert, der einen Komparator ansteuert. Der Mittelwert des Komparatorausgangssignals U_A entspricht der Messspannung U_x . U_A steuert über einen elektronischen Schalter den Summierer und wird gleichzeitig einem digitalen Tiefpassfilter zugeführt. Dieser filtert das Signal und erzeugt z.B. ein 16-Bit-Datenwort. $\Sigma\Delta$ -Umsetzer haben hohe Auflösungen und werden z.B. in der Audio- und Messtechnik eingesetzt.

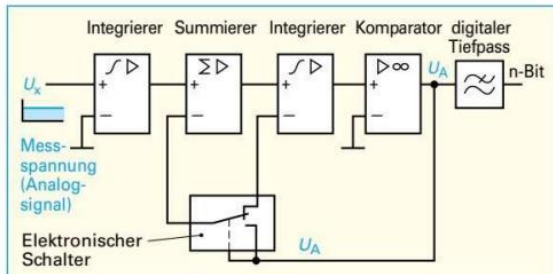


Bild 3: Sigma-Delta-Umsetzer (Prinzip)

¹ MSB von Most Significant Bit (engl.) = höchstwertige Bit
² LSB von Least Significant Bit (engl.) = niedrigwertige Bit
³ dual (engl.) = zwei, slope (engl.) = Rampe, Gefälle
⁴ Σ griech. Großbuchstabe Sigma

9.8.9 Digital-Analog-Umsetzer (DA-Umsetzer)

Digital-Analog-Umsetzer (Bild 1) wandeln digitale Eingangssignale in analoge Ausgangsgrößen um.

Soll z. B. mit einer SPS eine Drehzahl geregelt werden, müssen die internen digitalen Werte in ein analoges Signal umgewandelt werden.

Die Umsetzung eines digitalen Wertes in eine analoge Größe erfolgt meist in zwei Stufen (**Bild 2a und b**). Zuerst wird der digitale Wert (**Bild 2c**) im DA-Umsetzer in entsprechende Spannungswerte U_{A1} (**Bild 2d**) umgeformt. Die am Ausgang des DA-Umsetzers liegende Spannung hat einen treppenförmigen Verlauf (**Bild 2d**). Um den treppenförmigen Verlauf zu glätten, befindet sich hinter dem DA-Umsetzer meist ein **Tiefpass-Filter** (**Bild 2b**). Am Ausgang des RC-Gliedes liegt dann ein geglättetes analoges Signal (**Bild 2e**).

Bei DA-Umsetzern unterscheidet man vor allem:

- **Direkte Umsetzer**
- **Umsetzer nach dem Wägeverfahren**
- **Umsetzer nach dem Zählverfahren**

Direkte Umsetzer erzeugen mithilfe eines Spannungsteilers mögliche Ausgangsspannungen. Ein 1-aus-n-Decoder (Multiplexer) wählt, abhängig vom Digitalwert, die entsprechende Spannung aus. Dieses Verfahren ist sehr schnell, jedoch aufwendig.

Das **Wägeverfahren** wird in der Praxis am meisten verwendet. Dazu wird ein Operationsverstärker als Summierer (**Bild 2, Seite 227**) von Teilspannungen verwendet. Die Teilspannungen, die der Wertigkeit des Digitalsignals entsprechen, werden dazu addiert. Bei einem 8-4-2-1-codierten Signal (**Bild 3**) sind die Teilspannungen im entsprechenden Verhältnis gestuft. Die Schalter S1 bis S4 im **Bild 3** können z. B. durch Schalttransistoren ersetzt werden.

 [Datenblatt eines 12-Bit-DA-Umsetzers AD565.pdf](#)

Das **Zählverfahren** erfordert einen einzigen Schalter. Dieser wird periodisch geöffnet und geschlossen. Das sich ergebende Tastverhältnis wird mithilfe des digitalen Wertes so eingestellt, dass der arithmetische Mittelwert der analogen Ausgangsgröße U_a entspricht. Dieses sehr einfach zu realisierende Verfahren benötigt die größte Umsetzungszeit, lässt sich aber gut als integrierte Schaltung realisieren.

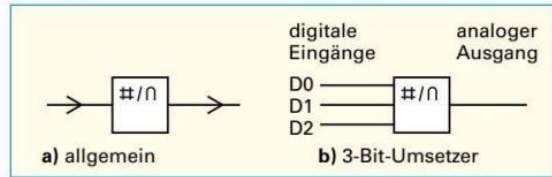


Bild 1: Schaltzeichen für DA-Umsetzer

Die Auflösung bestimmt den kleinstmöglichen Analogwert. Ein 8-Bit-Umsetzer hat z. B. $2^8 - 1 = 255$ Quantisierungsstufen. Bei einer Referenzspannung von z. B. 2,55 V können Spannungen in Schritten von z. B. $2,55 \text{ V} / 255 = 0,01 \text{ V}$ analog ausgegeben werden.

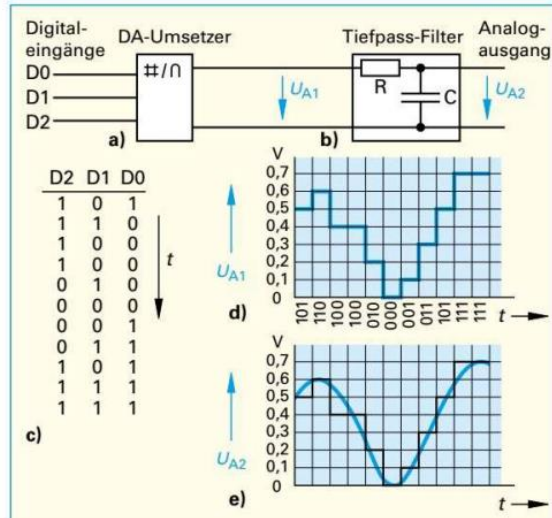


Bild 2: 3-Bit-DA-Umsetzer mit RC-Tiefpass

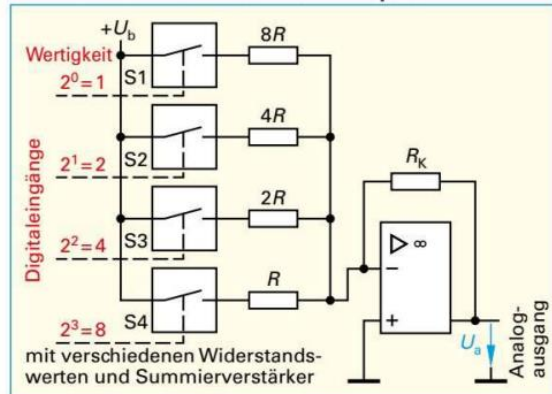


Bild 3: DA-Umsetzer: Teilspannungsverfahren (Prinzip)

Beispiel:

Ein DA-Umsetzer nach **Bild 3** hat Widerstände mit $R = 10 \text{ k}\Omega$. Am Digitaleingang ist die Dualzahl 0110, also die Dezimalzahl 6, vorhanden. Somit sind die Schalter S1 und S4 geöffnet, die Schalter S2 und S3 geschlossen. Die Betriebsspannung U_b beträgt 8 V, der Rückkopplungswiderstand $R_K = 1 \text{ k}\Omega$. Wie groß ist die Ausgangsspannung U_a ?

Lösung:

OP als Summierverstärker: $U_a = \frac{R_K}{4 \cdot R} \cdot U_b + \frac{R_K}{2 \cdot R} \cdot U_b = \frac{1 \text{ k}\Omega}{40 \text{ k}\Omega} \cdot 8 \text{ V} + \frac{1 \text{ k}\Omega}{20 \text{ k}\Omega} \cdot 8 \text{ V} = 0,6 \text{ V} \Rightarrow U_a = -0,6 \text{ V}$

Bei der höchsten hier möglichen Dualzahl 1111 (Dezimal 15) ist die Ausgangsspannung genau $-1,5 \text{ V}$.

9.5.1.5 Kippschaltungen

Kippschaltungen ändern ihren Zustand an den Ausgängen Q und \bar{Q} sprunghaft, z. B. von 0 nach 1.

Die Ausgänge Q und \bar{Q} von Kippschaltungen haben immer inverse Signale, z. B. $Q = 0$ und $\bar{Q} = 1$.

Bistabile Kippschaltung

Eine bistabile Kippschaltung hat zwei stabile Zustände.

Die bistabile Kippschaltung (**Bild 1**) kippt in den entgegengesetzten (inversen) Zustand, wenn über Vorwiderstände an die Basis des nicht leitenden Transistors ein 1-Signal ($+U_b$) gelegt wird. Ihr Ausgangszustand bleibt auch dann erhalten, wenn der Eingangsimpuls nicht mehr vorhanden ist.

Versuch: Erstellen Sie eine bistabile¹ Kippschaltung (**Bild 1**). Legen Sie an die Eingänge die Signale $S^2 = 0$ und $R^3 = 1$ ($+U_b = 12V$). Messen Sie die Signalzustände der Ausgänge Q und \bar{Q} . Wiederholen Sie den Versuch mit weiteren Signalkombinationen an S und R.

Die bistabile Kippschaltung nimmt nach einem Setzsignal ($S = 1$) den Zustand $Q = 1$ und $\bar{Q} = 0$ an, nach einem Rücksetzsignal ($R = 1$) den Zustand $Q = 0$ und $\bar{Q} = 1$. Mit den Eingangszuständen $S = R = 1$ hat die Kippschaltung den verbotenen Zustand $Q = \bar{Q} = 0$. Danach nimmt die Schaltung einen nicht vorhersehbaren Zustand (nicht definierten Zustand) $Q = 0$ oder $Q = 1$ an (**Bild 2**).

- i** Bistabile Kippschaltungen werden aufgebaut aus:
- NAND-Verknüpfungen: **Seite 233**
 - NOR-Verknüpfungen: **Seite 233**

Timer-IC NE 555

Der Timer-IC⁴ NE 555 ermöglicht einen einfachen Aufbau von zeitabhängigen Schaltungen oder von Schwellwertschaltern.

Der Timer-IC NE 555 enthält zwei Komparatoren (Vergleicher) und einen Spannungsteiler mit drei gleich großen Widerständen R_1 , R_2 und R_3 (**Bild 3**). Dieser Spannungsteiler liegt an der Betriebsspannung U_b des Timer-ICs. An jedem der drei Widerstände fällt ein Drittel der Betriebsspannung U_b ab. Sinkt die am Triggereingang⁵ (2) angelegte Spannung unter den Wert der Referenzspannung⁶ ($1/3 U_b$) des invertierenden Komparators, liegt am Komparatorausgang K2 1-Signal, der RS-Speicher K3 wird gesetzt. Damit liegt am Ausgang Q (3) 1-Signal.

Liegt am Schwelleneingang (6) des nicht invertierenden Komparators K1 eine Spannung, die größer als $2/3 U_b$ ist, so hat der Ausgang des Komparators K1 1-Signal, der RS-Speicher K3 wird wieder zurückgesetzt ($Q = 0$). Gleichzeitig wird der Transistor K4 leitend gesteuert.

Übersicht: Kippschaltungen

- Bistabile Kippschaltung (**Bild 1**)
- Monostabile Kippschaltung (**Seite 214, 229**)
- Astabile Kippschaltung (**Seite 214**)
- Schwellwertschalter (**Seite 214, 230**)

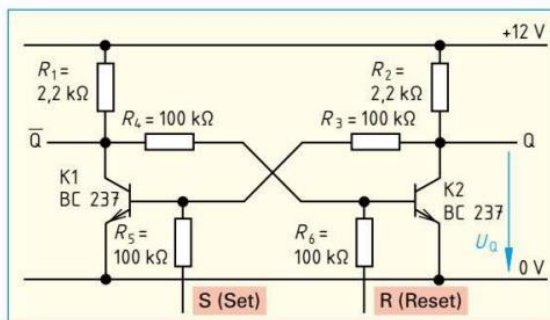


Bild 1: Bistabile Kippschaltung mit Transistoren

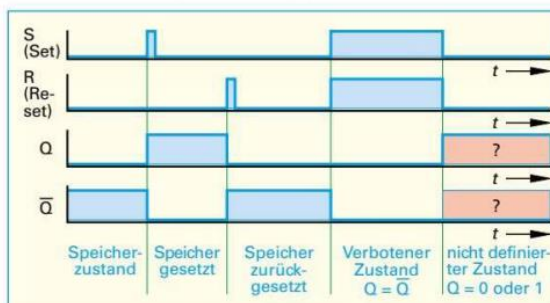


Bild 2: Signalverläufe der bistabilen Kippschaltung

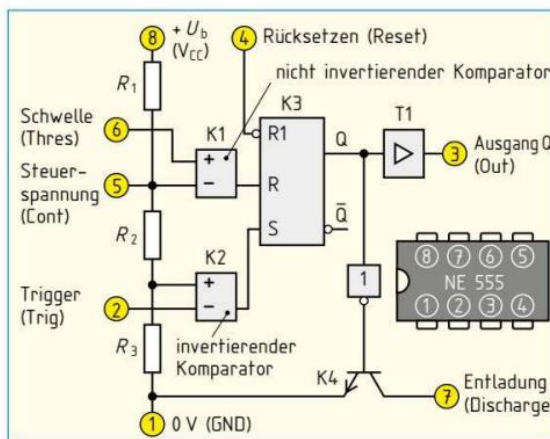


Bild 3: Blockschaltbild Timer-IC NE 555

- i** Wichtige Kennwerte des Timer-IC NE 555
- Betriebsspannung: 4,5 V ... 18 V
 - Ausgangsstrom: maximal 200 mA

NE 555-Datenblatt

¹ bi (lat.) = zwei ² S von to set (engl.) = setzen
³ R von to reset (engl.) = zurücksetzen
⁴ Timer-IC (engl.) = Zeitgeber Integrierter Schaltkreis
⁵ triggern (engl.) = auslösen
⁶ Referenzspannung = Bezugsspannung

Kippschaltungen mit dem Timer-IC NE 555

Beschaltet man den Triggereingang ② und den Schwelleneingang ⑥ des Timer-ICs NE 555 mit einem RC-Glied, kann man den Timer-IC zum Aufbau einer monostabilen oder einer astabilen Kippschaltung verwenden.

Monostabile Kippschaltung

Die monostabile Kippschaltung erzeugt Ausgangsimpulse mit bestimmter Zeitdauer.

Die Spannung U_C des zeitbestimmenden RC-Gliedes (R_1, C_1) liegt an den Eingängen ⑥ (Schwelle) und ⑦ (Entladung) in **Bild 1**. Durch einen Triggerimpuls am Eingang ② kleiner $1/3 U_b$ setzt der Komparator K2 (**Bild 3, Seite 213**) den RS-Speicher und damit den Ausgang Q ③ auf den Wert 1. Übersteigt die Spannung U_C am Kondensator C_1 den Wert $2/3 U_b$ am Eingang ⑥ (Schwelle) des Komparators K1, liegt dessen Ausgang auf 1. Der RS-Speicher wird zurückgesetzt, Ausgang Q ③ = 0. Der Transistor K4 (**Bild 3, Seite 213**) wird leitend und entlädt den Kondensator C_1 des RC-Gliedes.

Astabile Kippschaltung

Astabile Kippschaltungen erzeugen Rechteckimpulse mit einstellbarer Impuls- und Pausenzeit.

Beim Anlegen der Betriebsspannung ist der Kondensator C_1 (**Bild 2**) nicht geladen, die Spannung U_C ist kleiner als $1/3 U_b$, der RS-Speicher K3 (**Bild 3, Seite 213**) wird gesetzt (Q = 1). Überschreitet die Spannung U_C den Wert $2/3 U_b$, wird der RS-Speicher zurückgesetzt. Der nun leitende Transistor K4 entlädt den Kondensator C_1 über den Widerstand R_2 . Unterschreitet U_C den Wert $1/3 U_b$ wiederholt sich der Vorgang.

Schwellwertschalter (Schmitt-Trigger)

Schwellwertschalter verwendet man zur Formung von Rechteckimpulsen, z. B. zur Signalaufbereitung bei der Datenübertragung.

Ein invertierender Schwellwertschalter (**Bild 3**), z. B. bei einem Dämmerungsschalter, hat beim Überschreiten eines bestimmten Spannungswertes u_{1a} am Eingang E, ein 0-Signal am Ausgang Q. Unterschreitet die Eingangsspannung den Spannungswert u_{1e} , hat der Ausgang Q wieder den Wert 1.

Die Differenz zwischen Einschaltsschwelle u_{1e} und Ausschaltsschwelle u_{1a} bezeichnet man als Schalthysterese Δu_1 (**Bild 3b und 3c**).

Versuch: Bauen Sie mit dem Timer-IC NE 555 einen Schwellwertschalter (**Bild 3**) auf. Legen Sie an den Eingang zuerst eine sinusförmige, danach eine dreieckförmige Wechselspannung. Oszilloskopieren Sie die Ausgangsspannung U_2 .

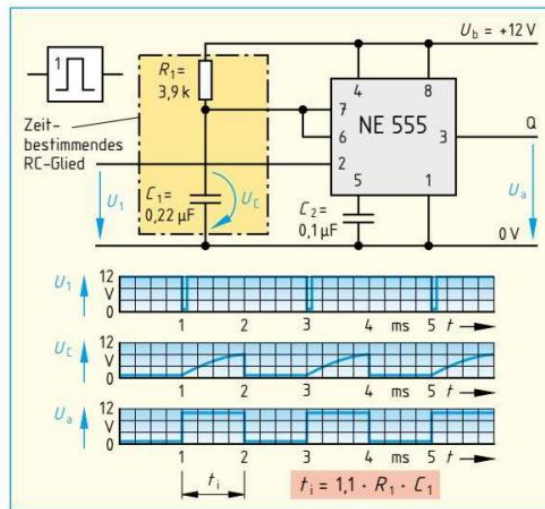


Bild 1: Monostabile Kippschaltung

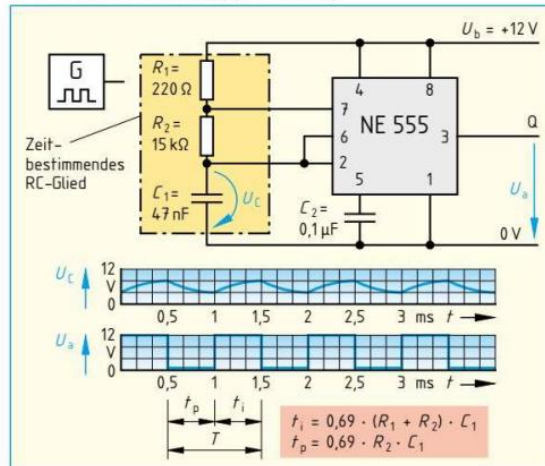


Bild 2: Astabile Kippschaltung

- t_i Impulsdauer (**Seite 133**)
- t_p Pausendauer (**Seite 133**)
- T Periodendauer (**Seite 133**)

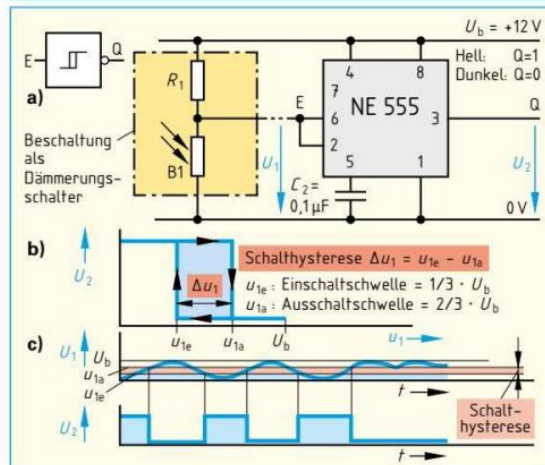


Bild 3: Invertierender Schwellwertschalter